

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-015783

(43)Date of publication of application : 22.01.1999

(51)Int.Cl. G06F 13/42
G06F 1/12
H03K 19/096
H04L 7/00

(21)Application number : 09-162459 (71)Applicant : NEC CORP

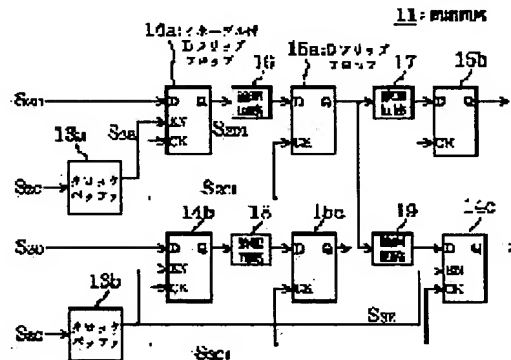
(22)Date of filing : 19.06.1997 (72)Inventor : SEKI MORIHARU

(54) SYNCHRONOUS CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To avoid a quasi-stable state of a D flip-flop with a simple circuit configuration, also to reduce overhead and to make a data signal synchronize with a clock signal.

SOLUTION: This synchronous circuit consists of a clock buffer 13a and an enabled D flip-flop 14a. The buffer 13a generates a delay 2nd clock signal S2C1 which delays a 2nd clock signal by prescribed time and also generates a 2nd enable signal S2E. The relationship of the signal S2C1 and the signal S2E is what satisfies the setup time and hold time of the D flip-flop 14a. The flip-flop 14a synchronizes with the signal S2C1 based on the signal S2. and performs the fetch or output hold of a 2nd data signal S2D.



LEGAL STATUS

[Date of request for examination] 19.06.1997

[Date of sending the examiner's decision of rejection] 04.04.2000

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-15783

(43)公開日 平成11年(1999) 1月22日

(51)Int.Cl.⁶

識別記号

F I

G 0 6 F 13/42

3 5 0

G 0 6 F 13/42

3 5 0 A

1/12

H 0 3 K 19/096

Z

H 0 3 K 19/096

H 0 4 L 7/00

Z

H 0 4 L 7/00

G 0 6 F 1/04

3 4 0 A

審査請求 有 請求項の数4 O L (全 7 頁)

(21)出願番号 特願平9-162459

(22)出願日 平成9年(1997) 6月19日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 関 守治

東京都港区芝五丁目7番1号 日本電気株式会社内

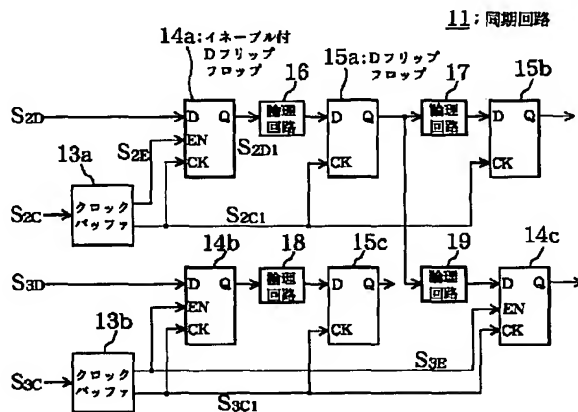
(74)代理人 弁理士 西村 征生

(54)【発明の名称】 同期回路

(57)【要約】

【課題】 簡単な回路構成で、Dフリップフロップの準安定状態を回避でき、しかもオーバーヘッドが少なく、データ信号をクロック信号と同期させる。

【解決手段】 開示される同期回路は、クロックバッファ13aとイネーブル付Dフリップフロップ14aとからなる。クロックバッファ13aは、第2クロック信号を所定時間遅延した遅延第2クロック信号 S_{2C1} を生成すると共に、第2イネーブル信号 S_{2E} を生成する。遅延第2クロック信号 S_{2C1} と第2イネーブル信号 S_{2E} との関係は、イネーブル付Dフリップフロップ14aのセットアップタイム及びホールドタイムを満足するものである。イネーブル付Dフリップフロップ14aは、第2イネーブル信号 S_{2E} に基づいて、遅延第2クロック信号 S_{2C1} に同期して第2データ信号 S_{2D} の取り込み又は出力保持を行う。



【特許請求の範囲】

【請求項1】 クロックバッファと、イネーブル付Dフリップフロップとからなり、

前記クロックバッファは、クロック信号を所定時間遅延した遅延クロック信号を生成すると共に、前記イネーブル付Dフリップフロップを制御するためのイネーブル信号を生成し、前記遅延クロック信号と前記イネーブル信号との関係は、前記イネーブル付Dフリップフロップのセットアップタイム及びホールドタイムを満足するものであり、

前記イネーブル付Dフリップフロップは、前記イネーブル信号に基づいて、前記クロック信号に同期してデータ信号の取り込み又は出力保持を行うことを特徴とする同期回路。

【請求項2】 前記クロックバッファは、縦続接続され、前記クロック信号を所定時間遅延する複数のインバータと、第1の入力端に前記クロック信号が入力され、第2の入力端に前記インバータのいずれかの出力信号が入力されるナンドゲートとからなり、

前記イネーブル付Dフリップフロップは、第1の入力端に前記データ信号が入力され、第2の入力端に前記イネーブル信号が入力され、それらの論理積をとる第1のANDゲートと、反転入力である第1の入力端に前記データ信号が入力され、第2の入力端に前記イネーブル信号が入力され、それらの論理積をとる第2のANDゲートと、J入力端に前記第1のANDゲートの出力信号が入力され、K入力端に前記第2のANDゲートの出力信号が入力され、クロック信号入力端に前記遅延クロック信号が入力され、前記遅延クロック信号に同期したデータ信号を出力するJ-Kフリップフロップとからなることを特徴とする請求項1記載の同期回路。

【請求項3】 前記クロックバッファ又はイネーブル付Dフリップフロップの少なくとも1つは、カスタムICのファンクションブロックのひとつであることを特徴とする請求項1記載の同期回路。

【請求項4】 前記クロックバッファは、使用するクロック信号の数に対応して設けられ、前記イネーブル付Dフリップフロップは、同期させるべきデータ信号の数に対応して設けられていることを特徴とする請求項1ないし3のいずれかに記載の同期回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、同期回路に係り、特に、あるクロック信号を用いて生成されたデータ信号を他のクロック信号に同期させる同期回路に関する。

【0002】

【従来の技術】それぞれ異なるクロック信号で動作している複数のデジタル回路間でデータ信号を交換する場合において、ある回路に供給されたデータ信号をその回路

内部で処理するためには、そのデータ信号を内部で生成されているクロック信号と同期させる必要がある。

【0003】そこで、従来では、例えば、図6に示すように、Dフリップフロップ1a及び1bを2段直列に接続し、供給されたデータ信号 S_0 を内部で生成されているクロック信号 S_c と同期させていた（以下、これを第1の従来技術という）。即ち、ある回路に供給されたデータ信号 S_0 は当然その回路内部で生成されているクロック信号 S_c と同期していないので、Dフリップフロップ1aにおいては、データ信号 S_0 とクロック信号 S_c とが競合し、メタステーブル（準安定）状態になる場合がある。しかし、クロック信号 S_c の周期がDフリップフロップ1aの準安定期間より長い場合には、Dフリップフロップ1aから出力され、後段のDフリップフロップ1bに入力されるデータ信号 S_{01} は、Dフリップフロップ1bのデータ信号取り込み時には必ず安定している。従って、Dフリップフロップ1bでは準安定状態は発生せず、クロック信号 S_c に同期したデータ信号 S_{02} が安定して出力される。

【0004】また、デジタル回路間でパラレル・データ伝送が行われている場合には、従来から、回路間でリクエスト信号とアクノリッジ信号を入出力してハンドシェイクを行い、データ信号を入出力する方法が採られていた（以下、これを第2の従来技術という）。

【0005】さらに、特開平5-313783号公報には、図7に示すような、タップ付のDフリップフロップ2、遅延回路3及びセレクト4を用いた同期回路が開示されている（以下、これを第3の従来技術という）。図7において、Dフリップフロップ2は、直列接続されたラッチ5a及び5bと、インバータ6とから構成されている。ラッチ5aにはインバータ6を介して、ラッチ5bには直接それぞれ図8（a）に示すクロック信号 S_c が供給されている。上記遅延回路3は、クロック信号 S_c をDフリップフロップ2のセットアップタイム T_s を満足するだけ遅延して図8（c）に示す遅延クロック信号 S_{c1} として出力する。セレクト4は、その入力端Aにラッチ5aから出力されたデータ信号 S_{s1} （図8（e）参照）がインバータ7を介して供給され、その入力端Bに図8（b）に示すデータ信号 S_0 が供給されている。セレクト4は、遅延クロック信号 S_{c1} が“L”レベルの時データ信号 S_0 を選択して出力し、“H”レベルの時インバータ7の出力信号を選択して出力する。

【0006】次に、上記同期回路の動作について、図8に示すタイミングチャートを参照して説明する。図8（b）及び（c）からわかるように、データ信号 S_0 の立ち上がり S_{0U1} と立ち下がり S_{0D1} は、Dフリップフロップ2のセットアップタイム T_s を満たしている、即ち、遅延クロック信号 S_{c1} が“L”レベルの間に変化しているので、セレクト4は、入力端Bに供給されたデータ信号 S_0 を選択し、図8（d）に示す選択データ信号 S_s

として出力する。これにより、図8(f)に示すように、次のクロック信号 S_c の立ち上がりで出力すべき同期化されたデータ信号 S_{s2} が変化する。

【0007】一方、図8(b)及び(c)からわかるように、データ信号 S_0 の立ち上がり S_{0U2} と立ち下がり S_{0D2} は、Dフリップフロップ2のセットアップタイム T_s を満たしていないので、即ち、遅延クロック信号 S_{c1} が“H”レベルの間に変化しているため、セクタ4は、ラッチ5aから出力され、インバータ7を介して入力端Aに供給されたデータ信号を選択し、図8(d)に示す選択データ信号 S_s として出力する。そして、再び遅延クロック信号 S_{c1} が“L”レベルになると、セクタ4は、入力端Bに供給されたデータ信号 S_0 を選択し、図8(d)に示す選択データ信号 S_s として出力する。これにより、図8(f)に示すように、次のクロック信号 S_c の立ち上がりで出力すべき同期化されたデータ信号 S_{s2} が変化する。以上のように、上記構成によれば、データ信号 S_0 は、Dフリップフロップ2のセットアップタイム T_s 前に入力した場合には、クロック信号 S_c の次のサイクルでクロック信号 S_c と同期し、Dフリップフロップ2のセットアップタイム T_s 後に入力した場合には、クロック信号 S_c の次の次のサイクルでクロック信号 S_c と同期する。

【0008】

【発明が解決しようとする課題】ところで、上記した第1の従来技術においては、データ信号 S_0 とクロック信号 S_c とが競合した場合、その構成上クロック信号 S_c の最大2サイクルのオーバーヘッド(信号処理に直接関係しない時間)が発生してしまう、という欠点があった。また、上記した第2の従来技術においては、リクエスト信号とアクノリッジ信号の送受信にそれぞれクロック信号の数サイクル分のオーバーヘッドが発生してしまう、という問題があった。

【0009】さらに、上記した第3の従来技術においては、Dフリップフロップ2のセットアップタイム T_s については考慮されているが、ホールドタイムについては考慮されていないので、データ信号 S_0 とクロック信号 S_c のタイミング次第では、同期化されたデータ信号 S_{s2} が不安定になる虞があった。

【0010】この発明は、上述の事情に鑑みてなされたもので、簡単な回路構成で、Dフリップフロップの準安定状態を回避でき、しかもオーバーヘッドが少なく、データ信号をクロック信号と同期させることができる同期回路を提供することを目的としている。

【0011】

【課題を解決するための手段】上記課題を解決するために、請求項1記載の発明に係る同期回路は、クロックバッファと、イネーブル付Dフリップフロップとからなり、上記クロックバッファは、クロック信号を所定時間遅延した遅延クロック信号を生成すると共に、上記イネーブル付Dフリップフロップを制御するためのイネーブル信号を生成し、上記遅延クロック信号と上記イネーブル信号との関係は、上記イネーブル付Dフリップフロップのセットアップタイム及びホールドタイムを満足するものであり、上記イネーブル付Dフリップフロップは、上記イネーブル信号に基づいて、上記クロック信号に同期してデータ信号の取り込み又は出力保持を行うことを特徴としている。

【0012】また、請求項2記載の発明は、請求項1記載の同期回路に係り、上記クロックバッファは、縦続接続され、上記クロック信号を所定時間遅延する複数のインバータと、第1の入力端に上記クロック信号が入力され、第2の入力端に上記インバータのいずれかの出力信号が入力されるナンドゲートとからなり、上記イネーブル付Dフリップフロップは、第1の入力端に上記データ信号が入力され、第2の入力端に上記イネーブル信号が入力され、それらの論理積をとる第1のANDゲートと、反転入力である第1の入力端に上記データ信号が入力され、第2の入力端に上記イネーブル信号が入力され、それらの論理積をとる第2のANDゲートと、J入力端に上記第1のANDゲートの出力信号が入力され、K入力端に上記第2のANDゲートの出力信号が入力され、クロック信号入力端に上記遅延クロック信号が入力され、上記遅延クロック信号に同期したデータ信号を出力するJ-Kフリップフロップとからなることを特徴としている。

【0013】さらに、請求項3記載の発明は、請求項1記載の同期回路に係り、上記クロックバッファ又はイネーブル付Dフリップフロップの少なくとも1つは、カスタムICのファンクションブロックのひとつであることを特徴としている。

【0014】また、請求項4記載の発明は、請求項1ないし3のいずれかに記載の同期回路に係り、上記クロックバッファは、使用するクロック信号の数に対応して設けられ、上記イネーブル付Dフリップフロップは、同期させるべきデータ信号の数に対応して設けられていることを特徴としている。

【0015】

【発明の実施の形態】以下、図面を参照して、この発明の実施の態様について説明する。説明は、実施例を用いて具体的に行う。図2はこの発明の一実施例である同期回路11を適用した同期システムの電氣的構成を示すブロック図である。この同期システムは、同期回路11と同期回路12とから構成されている。

【0016】同期回路12は、第1クロック信号 S_{1c} で動作しており、第1データ信号 S_{1d} を第1クロック信号 S_{1c} に同期させると共に、第2及び第3データ信号 S_{2d} 及び S_{3d} を生成して第1クロック信号 S_{1c} に同期させて出力する。同期回路11は、第2及び第3クロック信号 S_{2c} 及び S_{3c} で動作しており、第2及び第3データ信号

S_{2D} 及び S_{3D} を第2及び第3クロック信号 S_{2C} 及び S_{3C} に同期させると共に、第4データ信号 S_{4D} を生成して出力する。

【0017】図1はこの発明の一実施例である同期回路11の一部の電氣的構成を示す回路図である。この例の同期回路は、クロックバッファ13a及び13bと、イネーブル付Dフリップフロップ14a～14cと、Dフリップフロップ15a～15cと、論理回路16～19とから概略構成されている。クロックバッファ13aは、入力される第2クロック信号 S_{2C} で動作するイネーブル付Dフリップフロップ14a並びにDフリップフロップ15a及び15b全てに遅延第2クロック信号 S_{2C1} を供給すると共に、イネーブル付Dフリップフロップ14aに対し、そのセットアップタイム及びホールドタイムを満足するように、イネーブル付Dフリップフロップ14aを制御するための第2イネーブル信号 S_{2E} を供給する。

【0018】クロックバッファ13bは、入力される第3クロック信号 S_{3C} で動作するイネーブル付Dフリップフロップ14b及び14c並びにDフリップフロップ15c全てに遅延第3クロック信号 S_{3C1} を供給すると共に、イネーブル付Dフリップフロップ14b及び14cに対し、そのセットアップタイム及びホールドタイムを満足するように、イネーブル付Dフリップフロップ14b及び14cを制御するための第3イネーブル信号 S_{3E} を供給する。

【0019】ここで、図3にクロックバッファ13aの回路構成の一例を示す。図3において、クロックバッファ13aは、縦続接続され、第2クロック信号 S_{2C} が入力されるインバータ20a～20cと、第1の入力端に第2クロック信号 S_{2C} が入力され、第2の入力端にインバータ20cの出力信号が入力されるナンドゲート21とから構成されている。

【0020】インバータ20a及び20bは、第2クロック信号 S_{2C} をイネーブル付Dフリップフロップ14aのセットアップタイム T_{S1} （図5参照）を満足するだけの時間遅延して、図5(c)に示す遅延第2クロック信号 S_{2C1} として出力する。インバータ20c及びナンドゲート21の遅延時間は、イネーブル付Dフリップフロップ14aのホールドタイム T_{H1} （図5参照）を満足する値に設定されており、第2クロック信号 S_{2C} とインバータ20cの負論理積を、図5(d)に示す第2イネーブル信号 S_{2E} として出力する。これにより、クロックバッファ13aは、図5(c)及び(d)に示すように、遅延第2クロック信号 S_{2C1} の立ち上がりを挟んで、第2イネーブル信号 S_{2E} が“L”レベルになり、第2イネーブル信号 S_{2E} が立ち下がってから遅延第2クロック信号 S_{2C1} が立ち上がるまではセットアップタイム T_{S1} を満足するように動作し、遅延第2クロック信号 S_{2C1} が立ち上がってから第2イネーブル信号 S_{2E} が立ち上がるま

ではホールドタイム T_{H1} を満足するように動作する。なお、クロックバッファ13bの回路構成及び動作は、上記クロックバッファ13aと同様であるので、その説明を省略する。

【0021】また、図1において、イネーブル付Dフリップフロップ14aは、第2イネーブル信号 S_{2E} がアクティブ（この実施例では“H”レベル）の時は、通常のDフリップフロップ15aと同様に、遅延第2クロック信号 S_{2C1} の立ち上がりで第2データ信号 S_{2D} を取り込み、遅延第2クロック信号 S_{2C1} に同期した安定したデータ信号を出力する。一方、第2イネーブル信号 S_{2E} がアクティブでない（この実施例では“L”レベル）の時は、イネーブル付Dフリップフロップ14aは、遅延第2クロック信号 S_{2C1} の立ち上がりで第2データ信号 S_{2D} を取り込まず、出力は変化せず、前の出力状態を保持し続ける。これにより、イネーブル付Dフリップフロップ14aの後段の論理回路16、17、19、Dフリップフロップ15a、15bは全て遅延第2クロック信号 S_{2C1} に同期して動作することになる。

【0022】イネーブル付Dフリップフロップ14bは、第3データ信号 S_{3D} 、第3イネーブル信号 S_{3E} 及び遅延第3クロック信号 S_{3C1} が供給され、上記イネーブル付Dフリップフロップ14aと同様の動作により、遅延第3クロック信号 S_{3C1} に同期した安定したデータ信号を出力する。これにより、イネーブル付Dフリップフロップ14bの後段の論理回路18及びDフリップフロップ15cは全て遅延第3クロック信号 S_{3C1} に同期して動作することになる。

【0023】さらに、イネーブル付Dフリップフロップ14cは、データ信号として遅延第2クロック信号 S_{2C1} に同期した論理回路19の出力信号が供給されると共に、第3イネーブル信号 S_{3E} 及び遅延第3クロック信号 S_{3C1} が供給され、上記イネーブル付Dフリップフロップ14aと同様の動作により、遅延第3クロック信号 S_{3C1} に同期した安定したデータ信号を出力する。

【0024】ここで、図4にイネーブル付Dフリップフロップ14aの回路構成の一例を示す。イネーブル付Dフリップフロップ14b及び14cの回路構成は、これと同様であるので、その説明を省略する。図4において、イネーブル付Dフリップフロップ14aは、J-Kフリップフロップ22と、アンドゲート23と、第1の入力端が反転入力であるアンドゲート24とから構成されている。アンドゲート23は、第1の入力端に図5(b)に示す第2データ信号 S_{2D} が入力され、第2の入力端に図5(d)に示す第2イネーブル信号 S_{2E} が入力され、その論理積をJ-Kフリップフロップ22のJ入力端に供給する。アンドゲート24は、第1の入力端に第2データ信号 S_{2D} が入力され、第2の入力端に第2イネーブル信号 S_{2E} が入力され、その論理積をJ-Kフリップフロップ22のK入力端に供給する。

【0025】J-Kフリップフロップ22は、第2イネーブル信号 S_{2E} が“L”レベルの時は、J入力端及びK入力端に入力されるアンドゲート23及び24の出力信号が共に“L”レベルとなるので、クロック入力端に入力される遅延第2クロック信号 S_{2C1} の立ち上がりでも、出力は変化せず、前の出力状態を保持し続ける。一方、第2イネーブル信号 S_{2E} が“H”レベルの時は、J-Kフリップフロップ22は、アンドゲート23を介してJ入力端に第2データ信号 S_{2D} が入力され、アンドゲート24を介して反転された第2データ信号 S_{2D} が入力されるので、クロック入力端に入力される遅延第2クロック信号 S_{2C1} の立ち上がりで第2データ信号 S_{2D} を取り込み、第2クロック信号 S_{2C} に同期した安定した第2データ信号 S_{2D1} を出力する。

【0026】次に、上記クロックバッファ13a及びイネーブル付Dフリップフロップ14aの動作について、図5に示すタイミングチャートを参照して説明する。図5(b)及び(c)からわかるように、第2データ信号 S_{2D} の立ち上がり S_{2DU1} と立ち下がり S_{2DD1} は、第2イネーブル信号 S_{2E} が“H”レベルの間に変化している、即ち、イネーブル付Dフリップフロップ14aのセットアップタイム T_{S1} 及びホールドタイム T_{H1} を満たしている、図5(e)に示すように、次の遅延第2クロック信号 S_{2C1} の立ち上がりで出力すべき同期化された第2データ信号 S_{2D1} が変化する。

【0027】一方、図5(b)及び(c)からわかるように、第2データ信号 S_{2D} の立ち上がり S_{2DU2} は、イネーブル付Dフリップフロップ14aのセットアップタイム T_{S1} を満たせず、また、第2データ信号 S_{2D} の立ち下がり S_{2DD2} は、イネーブル付Dフリップフロップ14aのホールドタイム T_{H1} を満たしていない、即ち、共に第2イネーブル信号 S_{2E} が“L”レベルの間に変化している。従って、第2イネーブル信号 S_{2E} が“L”レベルの間の遅延第2クロック信号 S_{2C1} の立ち上がりでは、イネーブル付Dフリップフロップ14aは、第2データ信号 S_{2D} を取り込まず、出力は変化せず、前の出力状態を保持し続ける。即ち、イネーブル付Dフリップフロップ14aは、準安定状態にはならない。そして、再び第2イネーブル信号 S_{2E} が“H”レベルになると、図5(e)に示すように、次の遅延第2クロック信号 S_{2C1} の立ち上がりで出力すべき同期化された第2データ信号 S_{2D1} が変化する。なお、クロックバッファ13b並びにイネーブル付Dフリップフロップ14b及び14cの動作も、上記したクロックバッファ13a及びイネーブル付Dフリップフロップ14aの動作と同様であるので、その説明を省略する。

【0028】このように、この例の構成によれば、バッファリングされ、かつタイミング調整されたクロック信号を生成すると共に、イネーブル付Dフリップフロップ14の動作を制御するイネーブル信号を生成するクロッ

クバッファ13と、イネーブル信号でデータ信号の保持と取り込みが制御されるイネーブル付Dフリップフロップ14とを設けたので、イネーブル付Dフリップフロップ14の準安定状態を回避できる。これにより、データ信号の同期化がクロック信号の1サイクル内で行うことができるので、同期化におけるオーバーヘッドを小さくできる。

【0029】また、イネーブル付Dフリップフロップ14のセットアップタイム及びホールドタイムを満足するような遅延クロック信号及びイネーブル信号をクロックバッファ13が生成しているので、クロックバッファ13とイネーブル付Dフリップフロップ14とを組み合わせただけで同期回路が簡単に構成できる。

【0030】以上、この発明の実施例を図面を参照して詳述してきたが、具体的な構成はこの実施例に限られるものではなく、この発明の要旨を逸脱しない範囲の設計の変更等があってもこの発明に含まれる。例えば、上述の実施例においては、クロック信号が2系統、同期をとるべきデータ信号が3系統である例を示したが、これに限定されない。要するに、クロックバッファ13は、クロック信号の数だけあれば良く、また、イネーブル付Dフリップフロップ14は、同期させるべきデータ信号の数だけあれば良い。

【0031】また、上述の実施例においては、クロックバッファ13及びイネーブル付Dフリップフロップ14は、基本的なゲート素子やDフリップフロップで構成する例を示したが、これに限定されず、例えば、プログラマブルロジックICやゲートアレイ等のカスタムICにおいて、そのファンクションブロックのひとつとして実現することも可能である。

【0032】

【発明の効果】以上説明したように、この発明の同期回路によれば、クロックバッファがクロック信号を所定時間遅延した遅延クロック信号を生成すると共に、遅延クロック信号との関係がイネーブル付Dフリップフロップのセットアップタイム及びホールドタイムを満足するイネーブル信号を生成し、イネーブル付Dフリップフロップがイネーブル信号に基づいて、クロック信号に同期してデータ信号の取り込み又は出力保持を行うので、簡単な回路構成で、イネーブル付Dフリップフロップの準安定状態を回避でき、しかもオーバーヘッドが少なく、データ信号をクロック信号と同期させることができる。

【図面の簡単な説明】

【図1】この発明の一実施例である同期回路の主要部の構成を示す回路図である。

【図2】同同期回路を適用した同期システムの電氣的構成を示すブロック図である。

【図3】図1に示すクロックバッファの構成例を示す回路図である。

【図4】図1に示すイネーブル付Dフリップフロップの

構成例を示す回路図である。

【図5】同クロックバッファと同イネーブル付Dフリップフロップの動作を説明するためのタイミングチャートである。

【図6】第1の従来技術の同期回路の構成例を示す回路図である。

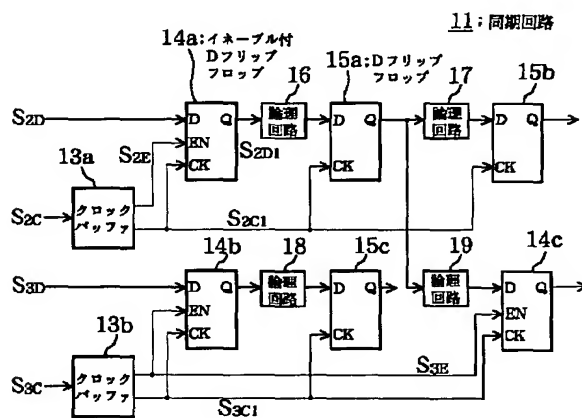
【図7】第3の従来技術の同期回路の構成例を示す回路図である。

【図8】図7に示す同期回路の動作を説明するためのタイミングチャートである。

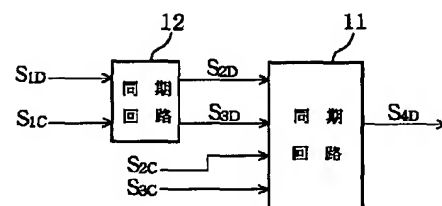
【符号の説明】

- 11, 12 同期回路
- 13a, 13b クロックバッファ
- 14a~14c イネーブル付Dフリップフロップ
- 15a~15c Dフリップフロップ
- 16~19 論理回路
- 20a~20c インバータ
- 21 ナンドゲート
- 22 J-Kフリップフロップ
- 23, 24 アンドゲート

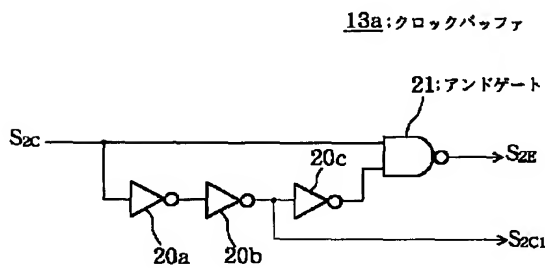
【図1】



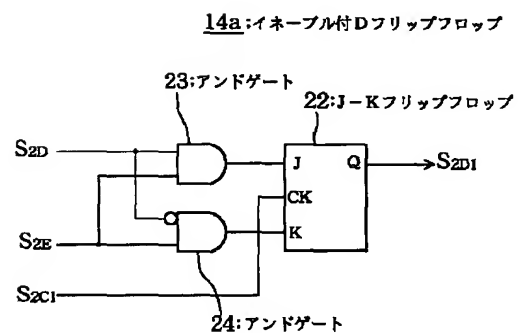
【図2】



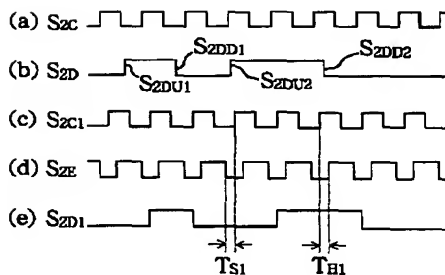
【図3】



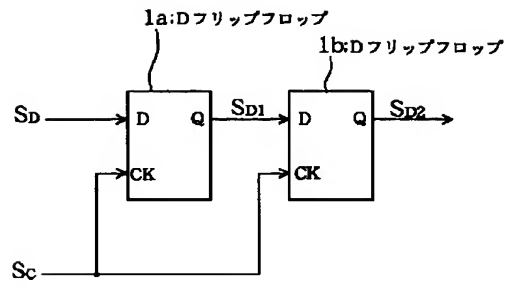
【図4】



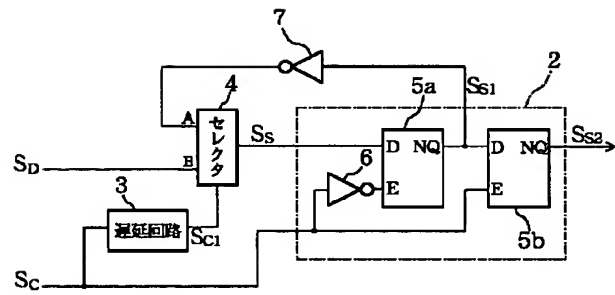
【図5】



【図6】



【図7】



【図8】

